

WEST☐ Generate Collection

L1: Entry 22 of 29

File: JPAB

Oct 5, 1990

PUB-NO: JP402250138A
DOCUMENT-IDENTIFIER: JP 02250138 A
TITLE: MEMORY CONTROLLER

PUBN-DATE: October 5, 1990

INVENTOR-INFORMATION:

NAME

COUNTRY

SHIBATA, NAOHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

N/A

APPL-NO: JP01007635

APPL-DATE: January 18, 1989

INT-CL (IPC): G06F 13/28; G06F 12/08; G06F 13/16

ABSTRACT:

PURPOSE: To improve the use efficiency of a store buffer by executing an access to a main storage part and bringing data stored in an address/data part to burst transfer, when it is recognized that that which is stored in the address/data part is an address at the time of memory store, and also, a burst transfer.

CONSTITUTION: An AD/DT discriminating flag part 112 is provided on a store buffer 11 so that whether that which is stored in the store buffer 11 is an address or data can be discriminated. Also, when it is recognized that that which is stored in an address/data part (AD/DT part) 111 is an address (AD1), and also, memory write by a burst transfer by a burst transfer flag BF, an access is executed to a main storage part 22 and data (DT1 - DT4) stored in the AD/DT part 111 are written in the main storage part 22 by a burst transfer. In such a way, even at the time of memory write by the burst transfer, the memory use efficiency of the store buffer can be improved without spoiling its performance.

COPYRIGHT: (C)1990, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-250138

⑬ Int. Cl.⁵

G 06 F 13/28
12/08
13/16

識別記号

3 1 0 E
C
5 1 0

庁内整理番号

8840-5B
7010-5B
8841-5B

⑭ 公開 平成2年(1990)10月5日

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 メモリ制御装置

⑯ 特 願 平1-7635

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 柴 田 直 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 滝 野 秀 雄 外2名

明 細 書

1. 発明の名称

メモリ制御装置

2. 特許請求の範囲

バースト転送機能を備えたマイクロプロセッサ(21)と主記憶部(22)との間のデータ転送を制御するメモリ制御装置(10)において、

(a) メモリストア時のデータ及びそのアドレスが格納されるアドレス/データ部(111)と、該アドレス/データ部(111)へ格納されたものがアドレスかデータかを示すAD/DT識別フラグ(A/DF)が格納されるアドレス/データ識別フラグ部(112)と、前記アドレス/データ部(111)に格納されたアドレス及びデータがバースト転送によるか否かを示すバースト転送フラグ(BF)が格納されるバースト転送フラグ部(113)を備えたストアバッファ(11)と、

(b) マイクロプロセッサ(21)と応答し、バースト転送によるライト要求を受けたときは、アドレス/データ部(111)にバースト転送を行うデータ及びアドレスを格納するとともに、対応するAD/DT識別フラグ(A/DF)をアドレス/データ識別フラグ部(112)に格納し、バースト転送フラグ部(113)にバースト転送フラグ(BF)を格納するMPUIインタフェース手段(12)と、

(c) アドレス/データ識別フラグ(A/DF)によりアドレス/データ部(111)に格納されたものがアドレスであり、かつバースト転送フラグ(BF)によりバースト転送によるメモリライトであることが認識されたときは、主記憶部(22)にアクセスしてアドレス/データ部(111)に格納されているデータをバースト転送するメモリインタフェース手段(13)、を備えたことを特徴とするメモリ制御装置。

3. 発明の詳細な説明

(概 要)

バースト転送機能を備えたマイクロプロセッサ(MPU)と主記憶部との間のバースト転送を含むデータ転送を制御するメモリ制御装置に関し、

バースト転送によるメモリライト時の性能を損うことなく、その際のストアバッファの使用効率を向上させることを目的とし、

バースト転送機能を備えたMPUと主記憶部との間のデータ転送を制御するメモリ制御装置において、ストアバッファのアドレス/データ部に共通にメモリストア時のアドレス及びデータを格納するとともに、両者を識別するAD/DI識別フラグを格納し、バースト転送時は更にバースト転送フラグを格納し、AD/DI識別フラグによりアドレス/データ部に格納されたものがアドレスであり、かつバースト転送フラグによりバースト転送であることが認識されたときは、主記憶部にアクセスしてアドレス/データ部に格納されているデータをバースト転送するように構成する。

(産業上の利用分野)

本発明は、バースト転送機能を備えたマイクロプロセッサと主記憶部との間のバースト転送を含むデータ転送を制御するメモリ制御装置に関する。

(従来の技術)

近年のマイクロプロセッサの高性能化は著しく、特に内部処理は、半導体技術の進歩による高速化、高集積化により処理能力が飛躍的に向上するようになってきた。例えば、32ビットマイクロプロセッサにおいては、そのMIPS(Million-instructions per second)値に関しては汎用コンピュータに匹敵するまでになった。

また処理能力の飛躍的な向上に伴い、メモリアクセスも高速化されるようになってきた。このため主記憶とプロセッサの間のアクセス速度にギャップを生じるようになり、これを埋めるために、バッファが設けられるようになった。

例えば、メモリライトの場合は、転送されるアドレスとデータをバッファにラッチし、このラッ

3

チされたアドレス及びデータを取り出して主記憶への書込みを行うが、その際書込み完了を待たずに応答を返すいわゆる突き放しライトにより、ライト処理の高速化を図っている。

また、データ転送を高速に行う場合は、バースト転送が有効であるため、従来のマイクロプロセッサではメモリリード時にバースト転送を行ってメモリのリード処理を高速化(特に命令フェッチの高速化がねらい)しているものがあつた。しかし、ライト時は1度にデータを連続的に高速転送する必要がないことからバースト転送を行う構成をもっているものはなかった。

しかしながら、最近の32ビットマイクロプロセッサの中には内部にコピーバック機能をもった物理キャッシュをもち、コピーバック時(ライト時)、1度にデータを連続的に高速転送できるバースト転送で行うものが現われ始めたが、従来の処理システム構成ではマイクロプロセッサ以外の構成もバースト転送によるメモリライトができない構成になっていることから、バースト転送機能

4

をもったマイクロプロセッサよりバースト転送によるメモリライト要求が出されても、それを拒否する構成になっていた。

この問題を解決し、従来のメモリライト制御を行うメモリ制御装置の基本構成を変更することなく、バースト転送機能を有するマイクロプロセッサを用いてバースト転送によるメモリライトを可能にし、システムの処理効率を向上させるようにしたメモリ制御装置が同一出願人によって提案されている。

第4図は、このバースト転送によるメモリライトを可能にしたメモリ制御システム(以下、原メモリ制御システムという)の基本構成をブロック図で示したものである。

第4図において、30はメモリ制御装置であり、マイクロプロセッサ(MPU)41から主記憶部42に対して行われるメモリアccessを制御する。

メモリ制御装置30において、31はストアバッファであり、ストアバッファアドレス部(SBUFA D部)311、ストアバッファデータ部(

5

6

SBUFD T部) 312及びバースト転送フラグ部(BF部) 313を備えている。

SBUFAD部311には、メモリストア時のデータのアドレスが格納される。SBUFD T部312には、メモリストア時のデータが格納される。BF部313には、メモリライトがバースト転送によるか否かを指示するバースト転送フラグ(BF)が格納される。

32はMPUI Nタフェース手段(MPUI F手段)で、MPU41と応答し、MPU41からバースト転送によるライト要求を受けたときは、SBUFD T部312及びSBUFAD部311にバースト転送を行うデータ及びアドレスを格納するとともに、BF部313にバースト転送フラグBFを格納する。

33はメモリインタフェース手段(MEMIF手段)であり、ストアバッファ31のBF部313に格納されたバースト転送フラグBFがバースト転送を指示しているときは、主記憶部42にアクセスしてストアバッファ31のデータをバース

ト転送によりメモリライトする。

なお、第4図のメモリ制御装置30には、メモリライトに関係する構成だけが表示されている。

次に、第4図の原メモリ制御システムのバースト転送によるメモリライト制御動作について説明する。

MPU41は、バースト転送によるメモリライトを行うときは、バースト転送要求をメモリ制御装置30に発行する。

メモリ制御装置30のMPUI F手段32は、MPU41からバースト転送要求を受けたときは、ストアバッファ31のSBUFAD部311にバースト転送データのアドレスADを格納し、SBUFD T部312にバースト転送データ(DT、~DT、とする)を格納する。それとともに、ストアバッファ31のBF部313にバースト転送フラグBFをセットする。

MEMIF手段33は、ストアバッファ31のBF部313に格納されているバースト転送フラグBFがバースト転送を指示するときは、主記憶

7

部42にアクセスし、ストアバッファ31のSBUFAD部311のアドレスに従って、SBUFD T部312に格納されているデータ群(DT、~DT、)をバースト転送により主記憶部42にライトする。

以上のように、ストアバッファ31にBF部313を設けて、ストアバッファ31に格納されたデータがバースト転送されるものであることを指示するようにしたので、主記憶部42に対するライト制御を行うMEMIF部33は、このバースト転送フラグBFによりバースト転送によるライトであることが認識して、バースト転送によるメモリライトを行うことができる。

これにより、バースト転送のもつ高速性を生かしてメモリライトを行うことが可能となり、システムの処理性能を向上させることができる。また、バーストフラグに関連する構成を付加するだけであるので、従来のメモリ制御装置の基本構成を変更することなく、バースト転送によるメモリライトを行うことができる。

9

8

(発明が解決しようとする課題)

第4図で説明した原メモリ制御システムにおけるメモリ制御装置は、前述のように、バースト転送によるメモリライトを指示するバースト転送フラグBFをバースト転送データ及びアドレスとともにメモリバッファに格納することにより、主記憶部に対してバースト転送によるメモリライトを可能にし、メモリライト処理効率及びシステム処理効率を向上させるようにしたものである。

しかしながら、バースト転送によるメモリライト時には、一つのアドレスに対して複数のデータがストアバッファに格納されることから、前記メモリ制御装置の場合、バースト転送時は第4図に示すように、SBUFD T部312の4領域にバースト転送データDT、~DT、が格納されるが、SBUFAD部311には最初の取り出し領域だけにアドレスADが格納され、その他の3領域は空き状態になる。

このため、ストアバッファに空きが生じてストアバッファの使用効率が低下し、しかもバースト

10

転送されるデータ数の多い程、またバースト転送回数の多い程ストアバッファの使用効率が低下するという不都合があった。

本発明は、バースト転送によるメモリライト性能を損うことなく、バースト転送によるメモリライト時にもストアバッファの使用効率を向上させるように改良したメモリ制御装置を提供することを目的とする。

(課題を解決するための手段)

前述の課題を解決するために本発明が採用した手段を、第1図を参照して説明する。第1図は本発明の基本構成をブロック図で示したものである。

第1図において、10はメモリ制御装置であり、主記憶部22に対して行われるメモリアクセスを制御する。

メモリ制御装置10において、11はストアバッファであり、アドレス/データ部(AD/DT部)111、AD/DT識別フラグ部(A/DF)112及びバースト転送フラグ部(BF部)11

3を備えている。

AD/DT部111には、メモリストア時のデータ及びアドレスが格納される。

AD/DT識別フラグ部112には、AD/DT部111に格納されたものがアドレスかデータかを示すAD/DT識別フラグ(A/DF)が格納される。なお、アドレスのときのAD/DT識別フラグをアドレス識別フラグAFで示し、データのときのAD/DT識別フラグをデータ識別フラグDFで示すことにする。

BF部113には、メモリライトがバースト転送によるか否かを指示するバースト転送フラグ(BF)が格納される。

12はMPUIF手段(MPUIF手段)であり、MPU21と応答し、バースト転送によるライト要求を受けたときは、AD/DT部111にバースト転送を行うデータ及びそのアドレスを格納するとともに、対応するAD/DT識別フラグA/DFをAD/DT部112に格納し、BF部113にバースト転送フラグBFを格

11

納する処理を行う。

13はメモリインタフェース手段(MEMIF手段)であり、AD/DT識別フラグA/DFに

12

メモリ制御装置10のMPUIF手段12は、MPU21からバースト転送要求を受けたときは、ストアバッファ11のAD/DT部111にバースト転送を行うデータ(AD/DT部111に格納されたデータ)及びそのアドレス(AD/DT部111に格納されたアドレス)を格納するとともに、対応するAD/DT識別フラグA/DFをAD/DT部112に格納し、BF部113にバースト転送フラグBFを格納する。

AD₁) であり、かつバースト転送フラグBFによりバースト転送によるメモライトであることが認識されたときは、主記憶部22にアクセスしてAD/DT部111に格納されているデータ(DT₁ ~ DT_n) をバースト転送により主記憶部22にライトする。

なお、データDT₁ ~ DT_n がバースト転送された後は、アドレスAD₁ によりデータDT₁ のシングル転送が行われる。この場合、AD/DT識別フラグA/DF(アドレス識別フラグAF)は、AD/DT部111に格納されているものがアドレス(AD₁) であることを示すが、BF部113にバースト転送フラグBFがセットされないでバースト転送でないと認識され、主記憶部22に対してシングル転送によりデータD₁ のメモライトが行われる。

以上のように、ストアバッファ11にAD/DT識別フラグ部112を設けてストアバッファ11に格納されたものがアドレスかデータかを識別できるようにしたので、ストアバッファ11上の

共通のAD/DT部111にバースト転送データ及びそのアドレスを共通に格納して、ストアバッファ11に空きが生じないようにすることができ

る。
これにより、バースト転送によるメモライト時にも、その性能を損うことなく、ストアバッファのメモリ使用効率を向上させることができる。

(実施例)

本発明の実施例を、第2図及び第3図を参照して説明する。第2図は本発明の一実施例の構成の説明図、第3図は同実施例の動作タイミングチャートである。

(A) 実施例の構成

第2図において、メモリ制御装置10、アドレス/データ部(AD/DT部)111、アドレス/データ識別フラグ部(AD/DT識別フラグ部)112、バースト転送フラグ部(BF部)113、MPUIインタフェース手段(MPUIF手段)1

15

2、メモリインタフェース手段(MEMIF手段)13、マイクロプロセッサ(MPU)21、主記憶部22については、第1図で説明したとおりである。

MPUIF手段12において、121はMPUIインタフェース部(MPUIF部)であり、MPU21からのメモリアクセスを認識し、メモリ制御装置10の各部に対して指示を与え、またMPU21に対して応答信号を返す。またメモライト時は、ストアバッファ11にアドレス/データ、AD/DT識別フラグA/DF及びバースト転送フラグBFを格納する制御を行う。なお、AD/DT識別フラグA/DFは、アドレス時はアドレス識別フラグAFで示され、データ時はデータ識別フラグDFで示されることは、先に述べたとおりである。

14はストアバッファ制御部(SBUF制御部)であり、MPUIF手段12及びMEMIF手段13の一部として機能する。MPUIF手段12の一部として、ストアバッファ11のAD/DT

16

部111にデータ及びアドレスを格納する制御、AD/DT識別フラグ部112にAD/DT識別フラグA/DFを格納する制御、BF部113にバースト転送フラグBFを格納する制御、ストアバッファ11の状態をMPUIF部121に通知する制御等を行う。

MEMIF手段13において、131はMEMインタフェース部(MEMIF部)であり、主記憶部22へのアクセス制御を行うため、メモリ制御装置10の各部に対して指示を与える。AD/DT識別フラグ部112のAD/DT識別フラグA/DFよりAD/DT部111に格納されたものがアドレスであり、かつストアバッファ11のBF部113にバーストフラグBFがセットされたときは、バースト転送によるメモライト制御を行う。

SBUF制御部14は、MEMIF手段13の一部として機能するが、その場合は、ストアバッファ11に格納されているアドレス及びデータの取り出し及びストアバッファ11の状態をMEM

17

18

1 F部131に通知する制御等を行う。

15はマルチプレクサ(MPX)であり、MPUIF部121から発行されるアドレス/データ選択信号(A/D-SEL信号)により、MPU21から受けたアドレス及びデータ的一方を選択して、ストアバッファ11のAD/DT部111に供給する。

23はメモリバスであり、メモリ制御装置10と主記憶部22間のデータ及び各種制御信号を転送する。24はアドレスバス(ADバス)であり、MPU21からストアバッファ11にライトデータのアドレスを転送する。25はデータバス(DTバス)であり、MPU21とストアバッファ11との間のデータを転送する。26はマルチプレクサバス(SAD₁バス)であり、ストアバッファ11のAD/DT部111より取り出されたアドレス又はデータをメモリバス23に転送する。27もマルチプレクサバス(SAD₂バス)であり、共通バス23及び主記憶部22間のアドレス及びデータの転送を行う。

(B) 実施例の動作

第2図の実施例の動作を、第3図の動作タイムチャートを参照して説明する。第3図は、MPU21からバースト転送によるライト要求があったときのライト動作を示すタイムチャートである。なお、バースト転送されるデータはDT₁～DT_nであり、その先頭アドレスはAD₁であるとする。また、第3図(a)のクロックは、システムの動作タイミングを規制するシステムクロックである。

① MPU21は、ADバス24にアドレスAD₁を出力する(第3図(a))。それとともに、MPUIF部121に送るリード信号(RD信号)をネゲートし、アドレスストローブ信号(*AS信号、なお*は反転符号である)とバースト転送要求信号(*BURST信号)をアサートする(第3図(b), (c), (d))。これにより、MPUIF部121には、バースト転送によるメモリライトが指示される。

② 次にMPU21は、DTバス25に最初の転送データDT₁を出力し、メモリ制御装置10

19

からの応答信号(*ACK信号)のアサートを待つ(第3図(e))。

③ MPUIF部121は、MPU21からのRD信号及び*BURST信号によりメモリライトを認識すると、SBUF制御部14が発行するバッファフル信号(*BFFULL信号)によりストアバッファ11がフルでないことを確認する。

SBUF制御部14は、ストアバッファ11を参照し、フルでないときは*BFFULL信号をネゲートし、フルのときアサートする(第3図(f))。

もしBFFULL信号がアサートされたときは、MPUIF部121は*BFFULL信号がネゲートされるまで、MPU21に返す*ACK信号をアサートしない。したがって、*ACK信号がアサートされるまでの間、MPU21は待ち状態になる。

MPUIF部121は、BFFULL信号によりストアバッファ11がフルでないことを確認すると、SBUF制御部14にラッチイン信号(LT-IN信号)を送るとともに、AD/DT識別

20

フラグ部112にアドレス識別フラグAFを送り、バースト転送フラグBFをセットするためのB-SET信号をアサートしてBF部113に送る(第3図(g), (h), (i), (j))。更にMPX15に送るAD/DT-SEL信号を、アドレス選択からデータ選択に切り替える。なお、AD/DT-SEL信号は、最初アドレス選択であるとする(第3図(k))。なお、この実施例では、AD/DT-SEL信号とAD/DT識別フラグA/DFの内容は同じであるので、両者をAD/DT-SEL信号で共通化している。また、バースト転送フラグBFのセット信号であるB-SET信号をネゲートする(第3図(l))。

これらの処理が終了すると、*ACK信号をアサートしてMPU21に送る(第3図(m))。

④ SBUF制御部14は、MPUIF部121よりLT-IN信号を受けると、前記③で切り替えられる前のMPX15により選択されたアドレスAD₁を、ストアバッファ11のAD/DT部111にラッチする(第3図(n), (o))。

21

22

また、アドレスAD_iをラッチすると同じタイミングで、アドレス識別フラグAF及びバースト転送フラグBFを、AD/DTフラグ部112及びBF部113にラッチする(第3図(i), (ii))。

更に、*ACK信号をアサートすると同じタイミングで、バースト転送拒否信号(*BURST-INH信号)をネゲートして、バースト転送拒否を解除する(第3図(e), (ii))。

⑤ MPU21は、*BURST-INH信号がネゲートされているときはバースト転送が許可されたものと見なし、アドレスをAD_iに固定したままデータをDT₁、DT₂、DT₃に連続して切り替えて、DTバス25上に順番に出力する(第3図(iii), (ii))。

⑥ MPU1F部121は、LT-IN信号をデータの切替えタイミングに合わせてSBUF制御部14に送る。SBUF制御部14は、MPX15を介してDTバス25上に出力されたデータDT₁、DT₂及びDT₃を、LT-IN信号に合せてストアバッファ11のAD/DT部111にF

IFO形式で順番に格納する。それとともに、AD/DT識別フラグ部112及びデータ識別フラグDF及びBを同じくLT-IN信号に合せて格納する(第2図、第3図(iii), (ii))。なお、前記④でAD/DT-SEL信号がデータ選択に切り替えられたとき、このAD/DT-SEL信号はデータ識別フラグDFとなって、AD/DTフラグ部112及びMPX15に加えられている。

⑦ スストアバッファ11にアドレスAD_i及びデータDT₁がラッチされると、SBUF制御部14は、ストアバッファ11がビジーであることを示すバッファビジー信号(BUFF-BUSY信号)をアサートしてMEM1F部131に送る(第3図(iii))。このBUFF-BUSY信号は、ストアバッファ11内にアドレス及びデータがあるときにアサートされる。

⑧ MEM1F部131は、BUFF-BUSY信号がアサートされると、SBUF制御部14にラッチアウト信号(LT-OUT信号)を送出する(第3図(iv))。

23

⑨ このLT-OUT信号を受けると、SBUF制御部14は、ストアバッファ11のAD/DT部111よりアドレスAD_iを取り出してSAD_iバス26上に出力するとともに、AD/DT識別フラグ部112よりアドレス識別フラグAFを取り出し、BF部113よりバースト転送フラグBFをバースト転送出力信号(B-OUT信号)として出力する(第3図(v))。

⑩ MEM1F部131は、入力されたアドレス識別フラグAFよりAD/DT部111より出力されたものがアドレスであることを確認してから、主記憶部22に対するライトを起動すべく、SAD_iバス26上に出力されたアドレスAD_iを、共通バス23及びSAD_iバス27を経由して主記憶部22に送り、それとともに、メモリライト開始を指示するスタート信号(START信号)をアサートして主記憶部22に送る(第3図(vi), (vi))。

⑪ MEM1F部131は、B-OUT信号がアサートしていたならば、主記憶部22に対してSAD_iバス27にバースト転送を行う旨の制御信

24

号をアサートする。この制御信号は、アドレスAD_iとともに主記憶部22に送られる(第3図(vi))。

⑫ 主記憶部22は、アドレスAD及びバースト転送を指示する制御信号を受けると、応答信号であるS-ACK信号をMEM1F部131に返して、受信準備をする(第3図(vii))。

⑬ MEM1F部131は、このS-ACK信号を認識すると、ラッチアウト信号(LT-OUT信号)をSBUF制御部14に送る。その際、データ送出タイミングに合わせてLT-OUT信号をアサートしてバースト転送を実行する。SBUF制御部14は、LT-OUT信号がアサートされる毎にSBUFDT部112よりDT₁、DT₂及びDT₃をFIFO形式で順番に取り出し、主記憶部22にバースト転送する(第3図(viii), (viii))。

⑭ SBUFDT部112にあるバースト転送用データ(DT₁~DT₃)がすべて転送されると、ストアバッファ11はフルでなくなるので、SBUF制御部14は、*BUFF-BUSY信号をネゲートする(第3図(viii))。

26

25

⑤ MEMIF部131は、*BUFF-BUS Y信号がネゲートされると、L T-O U T信号をS B U F制御部14に送るのを停止し、バースト転送を終了する。

なお、データDT₁～DT₅がバースト転送された後は、アドレスAD₂によりデータDT₅のシングル転送が行われる。この場合、AD/D Tフラグ部112にはアドレス識別AFがセットされて、AD/D T部111に格納されているものがアドレス(AD₂)であることを示すが、B F部113にバースト転送フラグB Fがセットされないでバースト転送でないと認識され、主記憶部22に対してシングル転送によりデータD₅のメモリライトが行われる。

(発明の効果)

以上説明したように、本発明によれば次の諸効果を得られる。

- (1) ストアバッファにAD/D Tフラグ部を設けてストアバッファに格納されたものがアドレス

かデータかを認識できるようにしたので、ストアバッファ上の共通のAD/D T部にバースト転送データ及びそのアドレスを共通に格納して、ストアバッファに空きが生じないようにすることが出来る。

- (2) 前記(1)により、バースト転送によるメモリライト時にも、その性能を損うことなく、ストアバッファのメモリ使用効率を向上させることができる。

4.図面の簡単な説明

- 第1図は、本発明の基本構成の説明図、
第2図は、本発明の一実施例の構成の説明図、
第3図は、同実施例の動作タイミングチャート、
第4図は、原メモリ制御システムの基本構成の説明図である。

第1図及び第2図において、

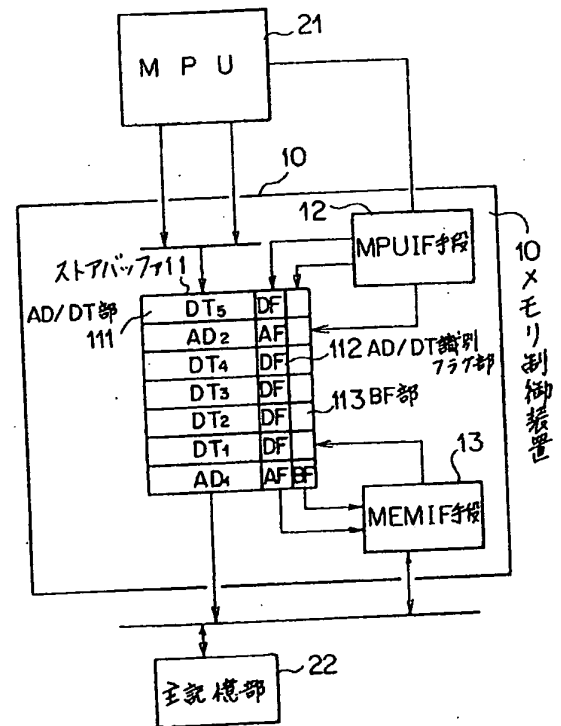
- 10…メモリ制御装置、11…ストアバッファ、
111…アドレス/データ部(AD/D T部)、
112…アドレス/データ識別フラグ部、
113…バースト転送フラグ部、
13…MEMIF手段、
21…マイクロプロセッサ(M P U)、
22…主記憶部。

27

112…アドレス/データ識別フラグ部(AD/D T部)、113…バースト転送フラグ部(B F部)、12…M P Uインタフェース手段(M P U I F手段)、121…M P Uインタフェース部(M P U I F部)、13…メモリインタフェース手段(M E M I F手段)、131…M E M I F部、14…ストアバッファ制御部(S B U F制御部)、15…マルチプレクサ(M P X)、21…マイクロプロセッサ(M P U)、22…主記憶部。

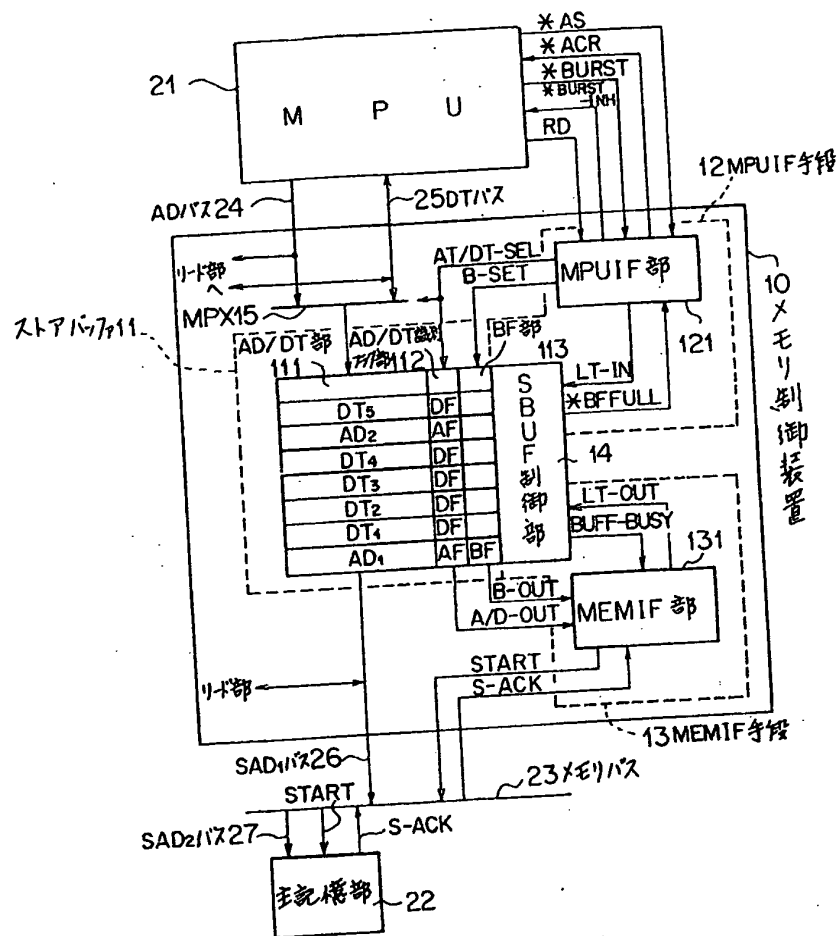
特許出願人 富士通株式会社
代理人 滝野秀雄
同 中内康雄
同 有坂惺

28



本発明の基本構成
第1図

29



実施例の構成
第2図

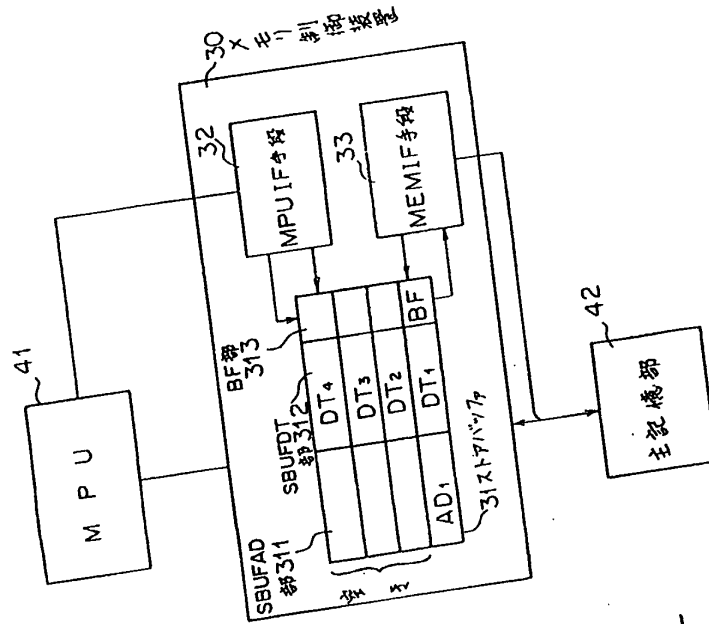


図4 基本構成のメモリ制御システム

第4図

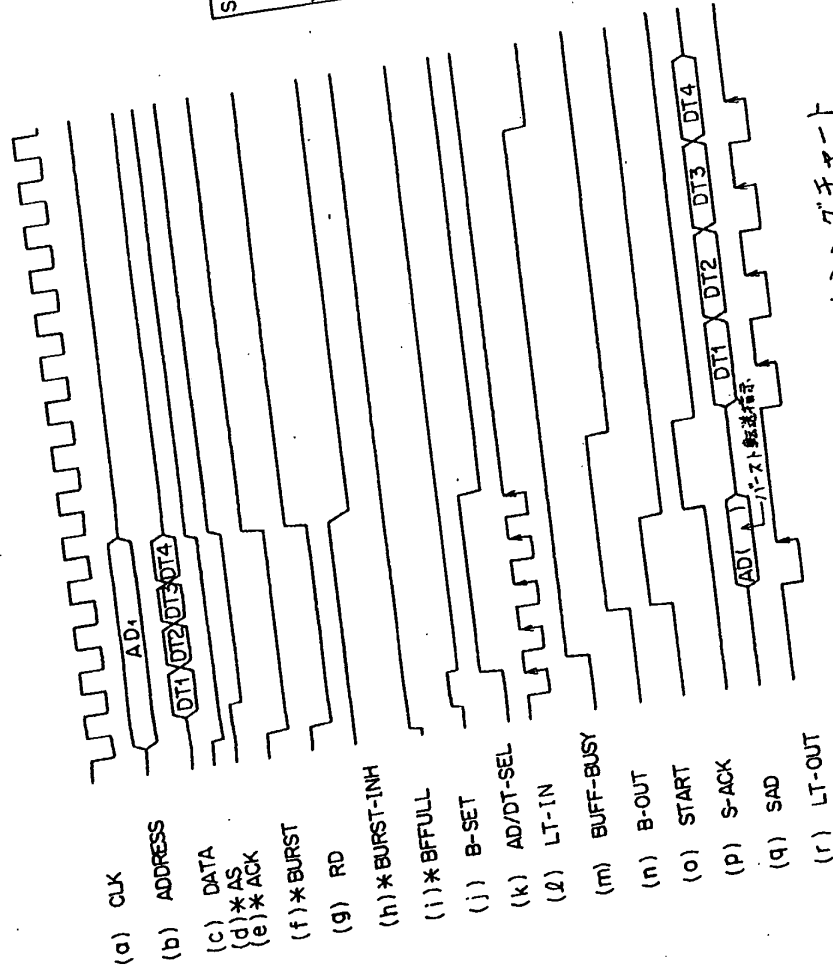


図3 タイミングチャートの動作例

第3図